



Docket No.: 65933-081

### **PATENT**

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Customer Number: 20277

Kuniyuki TANI, et al.

Confirmation Number: 5532

Serial No.: 10/808,575

Group Art Unit: 2816

Filed: March 25, 2004

Examiner:

For:

BIAS VOLTAGE GENERATING CIRCUIT, AMPLIFIER CIRCUIT, AND

PIPELINED AD CONVERTER CAPABLE OF SWITCHING CURRENT DRIVING

**CAPABILITIES** 

### TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Mail Stop CPD Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No.2003-086497 filed March 26, 2004. Japanese Patent Application No.2004-060507 filed March 4, 2004.

Certified copies are submitted herewith.

Respectfully submitted,

Registration No. 26,106

MCDERMOTT WILL & EMERY LLP

600 13<sup>th</sup> Street, N.W.

Washington, DC 20005-3096

(202) 756-8000 AJS:blg Facsimile: (202) 756-8087

Date: July 6, 2004

# 10/808,575 July 6,2004 McDermott Will & Emery LLF JAPAN OFFICE PATENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:

2003年 3月26日

出 号 Application Number:

人

特願2003-086497

[ST. 10/C]:

[JP2003-086497]

出 願 Applicant(s):

三洋電機株式会社



2月10日 2004年

特許庁長官 Commissioner, Japan Patent Office



【書類名】

特許願

【整理番号】

NPC1030017

【提出日】

平成15年 3月26日

【あて先】

特許庁長官殿

【国際特許分類】

H03F 1/00

HO3M 1/14

H03M 1/38

【発明者】

【住所又は居所】

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会

社内

【氏名】

谷 邦之

【発明者】

【住所又は居所】

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会

社内

【氏名】

和田 淳

【特許出願人】

【識別番号】

000001889

【氏名又は名称】

三洋電機株式会社

【代理人】

【識別番号】

100105924

【弁理士】

【氏名又は名称】

森下 賢樹

【電話番号】

03-3461-3687

【手数料の表示】

【予納台帳番号】

091329

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

# 【書類名】 明細書

【発明の名称】 バイアス電圧生成回路および増幅回路

### 【特許請求の範囲】

【請求項1】 所定の負荷へ印加すべきバイアス電圧を生成する駆動部と、前記負荷へバイアス電圧を印加すべき期間において、その負荷における必要な電流量の変化に応じて前記駆動部が持つ電流駆動能力を切り替える制御部と、

を有することを特徴とするバイアス電圧生成回路。

【請求項2】 前記駆動部は、並列に接続された電流駆動能力が異なる複数 のバイアス回路を含み、

前記制御部は、前記複数のバイアス回路のうち動作させる回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項1に記載のバイアス電圧生成回路。

【請求項3】 前記駆動部は、並列に接続された電流駆動能力が等しい複数 のバイアス回路を含み、

前記制御部は、前記複数のバイアス回路のうち動作させる回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項1に記載のバイアス電圧生成回路。

【請求項4】 オートゼロ動作とアンプ動作を交互に繰り返す増幅部と、 前記増幅部にバイアス電圧を供給する駆動部と、

前記増幅部によるオートゼロ動作とアンプ動作における必要な電流量の変化に 応じて前記駆動部が持つ電流駆動能力を切り替える制御部と、

を有することを特徴とする増幅回路。

【請求項5】 前記駆動部は、並列に接続された電流駆動能力が異なる複数 のバイアス回路を含み、

前記制御部は、前記複数のバイアス回路のうち動作する回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項4に記載の増幅回路。

【請求項6】 前記駆動部は、並列に接続された電流駆動能力が等しい複数のバイアス回路を含み、



前記制御部は、前記複数のバイアス回路のうち動作する回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項4に記載の増幅回路。

### 【発明の詳細な説明】

 $[0\ 0\ 0\ 1\ ]$ 

【発明の属する技術分野】

本発明は、バイアス電圧生成回路および増幅回路に関する。本発明は特に、バイアス回路を制御する技術に関する。

[0002]

【従来の技術】

近年、携帯電話に画像撮影機能、画像再生機能、動画撮影機能、動画再生機能など様々な付加機能が搭載されるようになり、内蔵される増幅回路の消費電力低減の要求が高まっている。特に、アナログーデジタル変換器(以下、「AD変換器」という。)を内蔵させたワンチップLSIは年々微細化が進んでおり、電源電圧をより低くする必要性も生じている。変換精度の高いAD変換回路として、多段パイプライン型のAD変換器が知られている(例えば、特許文献1参照。)。また、AD変換器にはオペアンプが内蔵されているが、そのオペアンプへバイアスを印加する回路において出力電圧の立ち上がりを速くする技術が知られている(例えば、特許文献2参照。)。

[0003]

【特許文献1】

特開平9-69776号公報 (全文、第1図)

【特許文献2】

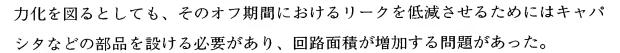
実開平5-17712号公報 (全文、第1図)

[0004]

【発明が解決しようとする課題】

上記の増幅回路においては、通常その動作内容にかかわらずバイアス電圧を印加し続けているので、必要以上に電力が消費されている。一方、電力を必要としないスタンバイ期間にバイアス電圧を比較的長時間オフにすることによって省電

3/



## [0005]

本発明はこうした状況に鑑みなされたものであり、その目的はバイアス電圧を 印加する回路において消費電力を低減させる点にある。

## [0006]

## 【課題を解決するための手段】

本発明のある態様はバイアス電圧生成回路である。この回路は、所定の負荷へ 印加すべきバイアス電圧を生成する駆動部と、前記負荷へバイアス電圧を印加す べき期間において、その負荷における必要な電流量の変化に応じて駆動部が持つ 電流駆動能力を切り替える制御部と、を有する。

### [0007]

「所定の負荷」は、例えばAD変換器やその中に含まれる増幅器など、必要とする電流量が周期的に変化する回路である。「バイアス電圧を印加すべき期間」は、例えば所定の負荷が動作すべき期間であって、バイアス電圧の印加が不要である期間を除く趣旨である。すなわち、制御部は電流駆動能力をゼロにしない範囲で細かく電流駆動を変化させる。これにより、負荷の動作期間における消費電力が必要十分な量になるよう細かく制御して全体として省電力化を図ることができる。

### [0008]

駆動部は、並列に接続された電流駆動能力が異なる複数のバイアス回路を含んでもよいし、並列に接続された電流駆動能力が等しい複数のバイアス回路を含んでもよい。これら複数のバイアス回路は、それぞれ等しいバイアス電圧を出力するのが望ましい。制御部は、複数のバイアス回路のうち動作させる回路数を制御することにより電流駆動能力を切り替えてもよい。

### [0009]

バイアス回路は、電源電位と接地電位の間でPMOSトランジスタおよびNMOSトランジスタを直列接続させて共通するドレインをそれぞれのゲートに接続 しドレインからバイアス電圧を出力するCMOSトランジスタと、そのCMOS



トランジスタにより生じる貫通電流を遮断するスイッチング素子と、CMOSトランジスタからのバイアス電圧の出力を制御するスイッチング素子と、を含んでもよい。制御部は、複数のバイアス回路にそれぞれ含まれるスイッチング素子に制御信号を送ることにより動作させる回路数を制御してもよい。

## [0010]

本発明の別の態様は増幅回路である。この回路は、オートゼロ動作とアンプ動作を交互に繰り返す増幅部と、増幅部にバイアス電圧を供給する駆動部と、増幅部によるオートゼロ動作とアンプ動作における必要な電流量の変化に応じて駆動部が持つ電流駆動能力を切り替える制御部と、を有する。この増幅回路は、例えば入力アナログ電圧をもとにそれぞれが段階的に上位から数ビットずつのデジタル値を生成する複数段の変換ユニットを有する多段パイプライン型AD変換器であってもよい。その場合、高いアナログ精度が最も要求される初段の変換ユニットへ比較的大きな電流を駆動し、2段目以降の変換ユニットへより小さな電流を駆動するよう電流駆動能力を制御してもよい。

## $[0\ 0\ 1\ 1]$

バイアス回路は、電源電位と接地電位の間でPMOSトランジスタおよびNMOSトランジスタを直列接続させて共通するドレインをそれぞれのゲートに接続しドレインからバイアス電圧を出力するCMOSトランジスタと、そのCMOSトランジスタにより生じる貫通電流を遮断するスイッチング素子と、CMOSトランジスタからのバイアス電圧の出力を制御するスイッチング素子と、を含んでもよい。制御部は、複数のバイアス回路にそれぞれ含まれるスイッチング素子に制御信号を送ることにより動作させる回路数を制御してもよい。

# [0012]

本態様においても、駆動電流を細かく調整することによって、増幅回路における消費電力を低減させることができる。

### [0013]

なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

# [0014]

# 【発明の実施の形態】

## (第1実施形態)

図1は、本実施形態のバイアス電圧生成回路を一部に含む画像処理回路の基本的な構成を示す。CCD(Charge Coupled Device)12は、被写体からの光を取り込んで電気信号に変換し、これをワンチップLSI(Large Scale Integration)10へ入力する。ワンチップLSI10には、AGC(Auto Gain Control)14、AD変換器20、DSP(Digital Signal Processor)16が内蔵されている。AGC14はCCD12から受け取る電気信号を増幅し、AD変換器20は増幅されたアナログ信号をデジタル信号に変換し、DSP16は変換されたデジタル信号に圧縮などの処理を施す。ワンチップLSI10に内蔵された各構成は所定の電圧電源から電力供給される。

## [0015]

AD変換器20は、低消費電力化を実現するためのバイアス電圧生成回路を含んでおり、ワンチップLSI10全体としても低消費電力化が実現され、特に省電力の要求が高い携帯電話などの携帯端末へ搭載するのに好適である。またこのバイアス電圧生成回路およびこれを含むAD変換器20は、コンデンサの容量増加による回路面積の増大を招かないので、ワンチップLSI10への搭載に好適である。

# $[0\ 0\ 1\ 6]$

図2は、第1実施形態のAD変換器20の構成を示す。AD変換器20は、第1変換部22から第n変換部28までのn段の変換ユニットにより、10ビットのAD変換を段階的に処理する。初段である第1変換部22は、4ビットを処理し、2段目以降で残りのビットを処理する。n=4の場合、2段目から4段目でそれぞれ2ビットずつ処理すればよい。

### [0017]

第1変換部22は、第1AD変換回路32、第1DA変換回路34、第1減算 回路36、第1増幅回路38を含む。第1AD変換回路32は、入力アナログ信 号を上位から所定数ビット分のデジタル信号に変換するサブAD変換回路である 。ここでは例えば4ビットのデジタル値を第1DA変換回路34とデジタル出力回路30へ出力する。第1DA変換回路34は、第1AD変換回路32から出力されたデジタル値をアナログ信号に変換する。第1減算回路36は、元の入力アナログ信号と第1DA変換回路34からのアナログ信号との差を第1増幅回路38へ入力し、これを第1増幅回路38が増幅して第2変換部24へ送る。第1増幅回路38は、例えばスイッチトキャパシタ型アンプである。第1減算回路36と第1増幅回路38を合わせて差動増幅回路として構成してもよい。

## [0018]

第2変換部24は、第2AD変換回路42、第2DA変換回路44、第2減算回路46、第2増幅回路48を含む。これら各構成はそれぞれ第1変換部22の第1AD変換回路32、第1DA変換回路34、第1減算回路36、第1増幅回路38と同様に動作する。ただし、第2AD変換回路42は、例えば第1AD変換回路32の出力ビットより下位の2ビット分を出力する。

## [0019]

第(n-1)変換部26は、第(n-1)AD変換回路52、第(n-1)DA変換回路5次第(n-1)減算回路56、第(n-1)増幅回路58を含む。これら各構成もまたそれぞれ第1変換部22の第1AD変換回路32、第1DA変換回路34、第1減算回路36、第1増幅回路38と同様に動作する。ただし、第(n-1)AD変換回路52は、前段の出力ビットより下位の2ビット分を出力する。第n変換部28は、第nAD変換回路60を含む。第nAD変換回路60は、最下位の2ビット分を出力する。デジタル出力回路30は、第1変換部22、第2変換部24、第(n-1)変換部26、第n変換部28から受け取るデジタル信号を合成して10ビットのデジタル信号を出力する。

### [0020]

第1バイアス電圧生成回路70、第2バイアス電圧生成回路72、第3バイアス電圧生成回路74、第4バイアス電圧生成回路76は、後述する図3に記載された構成を有するとともに、それぞれ第1変換部22、第2変換部24、第3変換部26、第4変換部28へバイアス電圧を印加する。

## [0021]

図3は、第1バイアス電圧生成回路70の構成を示す。第1バイアス電圧生成 回路70は、駆動部80と制御部88を有する。駆動部80は、第1変換部22 の第1増幅回路38などの負荷に対して印加すべきバイアス電圧を生成する。制 御部88は、負荷へバイアス電圧を印加すべき期間において、その負荷における 必要な電流量の変化に応じて駆動部80が持つ電流駆動能力を切り替える。

# [0022]

駆動部80は、並列に接続された電流駆動能力が異なる複数のバイアス回路として、第1バイアス回路82および第2バイアス回路84を含む。第1バイアス回路82は、電源電位VDDと接地電位VSSの間で直列接続させた第1トランジスタTr1および第2トランジスタTr2からなるCMOSトランジスタと、そのCMOSトランジスタにより生じる貫通電流を遮断するスイッチング素子としての第3トランジスタTr3と、を含む。第1トランジスタTr1はPチャネルMOSトランジスタであり、第2トランジスタTr2はNチャネルMOSトランジスタであり、第2トランジスタTr2はNチャネルMOSトランジスタである。第1トランジスタTr1および第2トランジスタTr2は、共通するドレイン電極を持ち、そのドレイン電極とそれぞれのゲート電極を短絡させたダイオード接続がなされている。共通するドレイン電極は、第1トランジスタTr1および第2トランジスタTr2のオン抵抗で分圧された電圧をバイアス電圧として出力する。その出力経路には出力を制御するスイッチング素子としての第1出力用トランジスタTr10が設けられている。

# [0023]

第2バイアス回路84もまた、電源電位VDDと接地電位VSSの間で直列接 続させた第4トランジスタTr4および第5トランジスタTr5からなるCMO Sトランジスタと、そのCMOSトランジスタにより生じる貫通電流を遮断する スイッチング素子としての第6トランジスタTr6と、を含む。第4トランジス タTr4はPチャネルMOSトランジスタであり、第5トランジスタTr5はN チャネルMOSトランジスタである。第4トランジスタTr4および第5トラン ジスタTr5もまた、共通するドレイン電極を持ち、そのドレイン電極とそれぞ れのゲート電極を短絡させたダイオード接続がなされている。共通するドレイン 電極は、第4トランジスタTr4および第5トランジスタTr5のオン抵抗で分 圧された電圧をバイアス電圧として出力する。その出力経路には出力を制御する スイッチング素子としての第2出力用トランジスタTr20が設けられている。

## [0024]

第1バイアス回路82からのバイアス電圧の出力経路は、第2バイアス回路84からのバイアス電圧の出力経路と接続されて第1変換部22へ印加される。

# [0025]

第1バイアス回路82と第2バイアス回路84は、電流駆動能力は異なるが、出力するバイアス電圧が等しい。すなわち、第1バイアス回路82における第1トランジスタTr1および第2トランジスタTr2の素子サイズ比と、第2バイアス回路84における第4トランジスタTr4および第5トランジスタTr5の素子サイズ比が等しくなるように構成されている。そのようにサイズ比を維持したまま、第1トランジスタTr1および第2トランジスタTr2、または、第4トランジスタTr4および第5トランジスタTr5のサイズを大きくすることにより、異なる電流駆動能力を持つよう構成されている。一般に、貫通電流が大きいほど電流駆動能力が大きい。

# [0026]

制御部88は、第3トランジスタTr3、第6トランジスタTr6、第1出力用トランジスタTr10、および第2出力用トランジスタTr20のそれぞれのゲート電極に制御信号を印加してオンオフ制御する。すなわち、第1バイアス回路82は、制御部88による第3トランジスタTr3および第1出力用トランジスタTr10のオンオフ制御により動作状態と非動作状態が切り替わる。同様に、第2バイアス回路84は、制御部88による第6トランジスタTr6および第2出力用トランジスタTr20のオンオフ制御により動作状態と非動作状態が切り替わる。

# [0027]

制御部88は、第1バイアス回路82および第2バイアス回路84のうち動作させる回路数を制御することによって駆動部80全体の電流駆動能力を切り替える。例えば、第1変換部22において比較的大きな電流が必要な期間には、第1バイアス回路82および第2バイアス回路84の双方を動作させ、比較的小さな



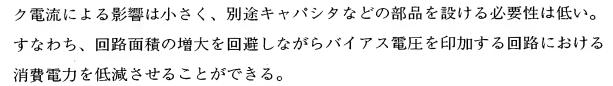
電流で十分な期間には、第1バイアス回路82および第2バイアス回路84のいずれか一方のみを動作させればよい。第1バイアス回路82および第2バイアス回路84の電流駆動能力と、制御部88による第3トランジスタTr3、第6トランジスタTr6、第1出力用トランジスタTr10、および第2出力用トランジスタTr20の制御タイミングは、バイアス電圧の印加対象である第1変換部22において必要とされる電流量の変化に応じて設計される。

# [0028]

図4は、第1実施形態における第1変換部22の動作の変化と制御部88による制御の関係を示すタイムチャートである。図において上から順に、第1変換部22に含まれる第1増幅回路38の動作モード、第3トランジスタTr3のオンオフタイミング、第6トランジスタTr6のオンオフタイミング、を示す。以下、第3トランジスタTr3のオンオフタイミングは第1出力用トランジスタTr10のオンオフタイミングでもあり、第6トランジスタTr6のオンオフタイミングでもある。第1増幅回路38は、オートゼロ動作とアンプ動作を交互に繰り返す。本実施形態では、オートゼロ動作の期間に比較的大きな電流を必要とし、アンプ動作の期間には比較的小さな電流で十分とする。これに合わせて、制御部88はオートゼロ動作の期間に第3トランジスタTr3および第6トランジスタTr6の双方をオンにし、アンプ動作の期間には第3トランジスタTr3をオフにして第6トランジスタTrのみをオンのままにする。このように、バイアス電圧を印加する回路における電力消費量の細かな調整を実現することができる。

#### [0029]

第2バイアス回路84の電流駆動能力は第1増幅回路38のアンプ動作期間中に第1変換部22で必要とする電流量に基づいて設計すればよい。第1バイアス回路82の電流駆動能力は第1増幅回路38のオートゼロ動作期間中に第1変換部22で必要とする電流量と第2バイアス回路84の電流駆動能力に基づいて設計すればよい。なお、第3トランジスタTr3または第6トランジスタTr6をオフにする期間は、第1変換部22がアクティブの状態である期間に含まれる比較的短い期間である。したがって、スタンバイ期間にオフするのと異なり、リー



## [0030]

### (第2実施形態)

本実施形態のバイアス電圧生成回路は、制御部による第1バイアス回路および 第2バイアス回路の制御タイミングにおいて第1実施形態と異なるが、その他の 構成は第1実施形態と共通する。

### $[0\ 0\ 3\ 1]$

図5は、第2実施形態における第1変換部22の動作の変化と制御部88による制御の関係を示すタイムチャートである。本実施形態では、オートゼロ動作期間のうち、特にオートゼロ開始直後に比較的大きな電流を必要とし、残りのオードゼロ期間には比較的小さな電流で十分とする。これに合わせて、制御部88はオートゼロ開始直後の期間に第3トランジスタTr3および第6トランジスタTr6の双方をオンにし、残りのオードゼロ期間には第3トランジスタTr3をオフにして第6トランジスタTr6のみをオンのままにする。さらに、アンプ動作期間には第6トランジスタTr6もオフにする。したがって、第2バイアス回路84の電流駆動能力は第1増幅回路38のオートゼロ開始直後以外のオートゼロ動作期間中に第1変換部22で必要とする電流量に基づいて設計すればよい。第1バイアス回路82の電流駆動能力は第1増幅回路38のオートゼロ開始直後に第1変換部22で必要とする電流量と第2バイアス回路84の電流駆動能力に基づいて設計すればよい。

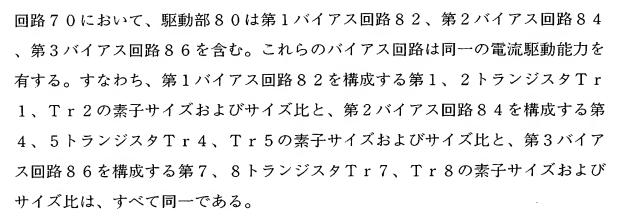
### [0032]

#### (第3実施形態)

本実施形態のバイアス電圧生成回路は、駆動部を構成する複数のバイアス回路 の電流駆動能力がすべて等しい点で第1、2実施形態と異なるが、その他の構成 は第1または第2実施形態と共通する。

### [0033]

図6は、第1バイアス電圧生成回路70の構成を示す。第1バイアス電圧生成



# [0034]

制御部88は、第3トランジスタTr3、第6トランジスタTr6、第9トランジスタTr9のそれぞれに制御信号を送ることにより、第1バイアス回路82、第2バイアス回路84、第3バイアス回路86のそれぞれの動作をオンオフ制御する。第1バイアス回路82、第2バイアス回路84、第3バイアス回路86のうち動作させる回路数およびそのオンオフタイミングは、第1、2実施形態と同様に、第1変換部22において必要とする電流量の変化に応じて設計すればよい。

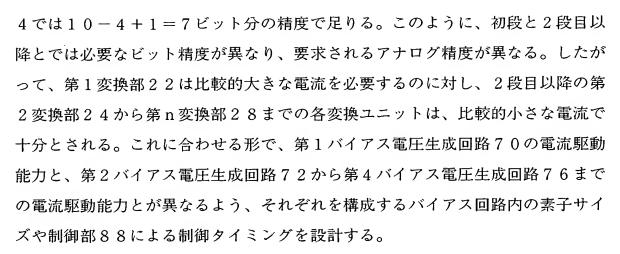
### [0035]

なお、第1実施形態においても、第1バイアス回路82および第2バイアス回路84を構成する各トランジスタのサイズ比を同一にしているので、原理的には同一のバイアス電圧を出力すると考えられる。しかし、サイズ自体が異なるためにトランジスタの特性に若干の相違が見られる可能性もあり、出力されるバイアス電圧が僅かにばらつくこともあり得る。本実施形態においては、サイズ比のみならずサイズ自体も同一に構成しているので、特性のばらつきによるバイアス電圧のばらつきをより確実に低減できる。

#### $[0\ 0\ 3\ 6]$

#### (第4実施形態)

本実施形態のバイアス電圧生成回路は、多段パイプライン型AD変換回路が有する複数段の変換ユニットに対してそれぞれ異なる電流駆動能力にてバイアス電圧を印加する点で第1~3実施形態と異なる。図2において、初段である第1変換部22では10ビット分の精度が必要であるのに対し、2段目の第2変換部2



### [0037]

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、 その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、ま たそうした変形例も本発明の範囲にあることは当業者に理解されるところである 。以下、変形例を挙げる。

## [0038]

第1実施形態の図4は、オートゼロ動作がアンプ動作に切り替わるタイミングで制御部88が第3トランジスタTr3をオフにすることを示している。変形例においては、オートゼロ動作がアンプ動作に切り替わるタイミング以降であって、次のオートゼロ動作開始前までの任意のタイミングで制御部88が第3トランジスタTr3をオフにするよう制御してもよい。

#### [0039]

第2実施形態の図5は、オートゼロ開始直後の比較的大きな電流が必要とされる期間が終わるタイミングで制御部88が第3トランジスタTr3をオフにすることを示している。変形例においては、オートゼロ開始直後の比較的大きな電流が必要とされる期間が終わってからアンプ動作に切り替わるタイミングまでの任意のタイミングで制御部88が第3トランジスタTr3をオフにするよう制御してもよい。また、同図はアンプ動作に切り替わるタイミングで制御部88が第6トランジスタTr6をオフにすることを示している。変形例においては、オートゼロ開始直後の比較的大きな電流が必要とされる期間が終わってから次のオートゼロ開始までの任意のタイミングで制御部88が第6トランジスタTr6をオフ



にするよう制御してもよい。

# [0040]

第1~3 実施形態において、駆動部 8 0 を 2~3 個のバイアス回路で構成した。変形例においては、それ以上の個数のバイアス回路で構成してもよいし、電流動作能力が同一のバイアス回路と電流動作能力が異なるバイアス回路とを混在させて構成してもよい。

# [0041]

第4実施形態では、初段である第1変換部22と、2段目以降の第2変換部24から第4変換部28とで分けて電流駆動能力の相違を説明した。変形例においては、例えば2段目以降において後段に進むにつれて必要な電流量が小さくなる場合に、これに合わせて第2バイアス電圧生成回路72から第4バイアス電圧生成回路76までの電流駆動能力も徐々に小さくなるよう構成してもよい。

### [0042]

図2において、第1変換部22、第2変換部24、第3変換部2点にそれぞれ一つずつ増幅回路を含む構成とした。変形例においては、例えば初段の第1変換部22においてさらにサンプルホールド回路などの増幅回路を設け、その増幅回路の動作に必要な電流を考慮して第1バイアス電圧生成回路70を構成するバイアス回路および制御部88による制御タイミングを設計してもよい。同様に、図1に示されるAGC14に印加するバイアス電圧もまた、各実施形態と同様のバイアス電圧生成回路により生成してもよい。

### [0043]

第3実施形態の図6において、各バイアス回路から出力されるバイアス電圧の 経路には出力を制御するスイッチング素子が設けられていない構成を例示した。 変形例においては、第1実施形態の図3と同様に、出力経路にスイッチング素子 を設けて出力を制御してもよい。

### [0044]

### 【発明の効果】

本発明によれば、バイアス電圧を印加する回路における消費電力を低減させることができる。

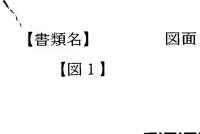


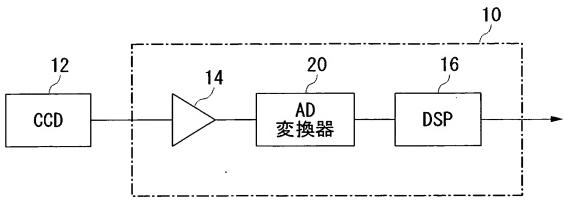
### 【図面の簡単な説明】

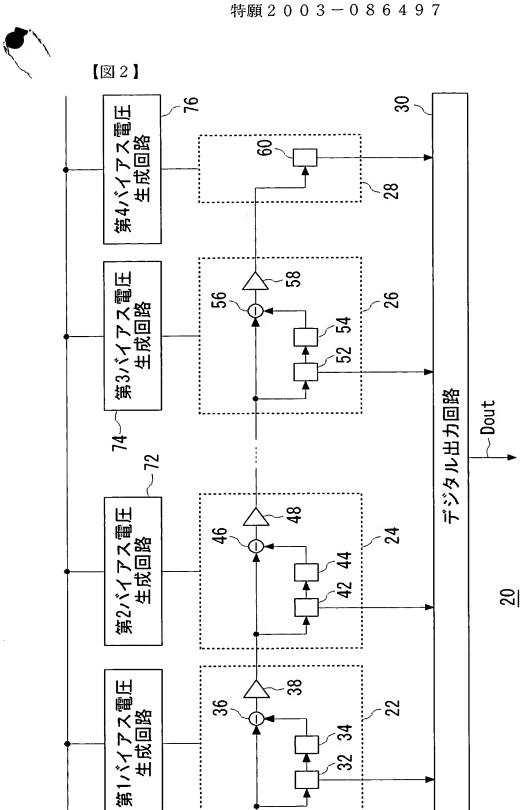
- 【図1】 本実施形態のバイアス電圧生成回路を一部に含む画像処理回路の基本的な構成を示す図である。
  - 【図2】 第1実施形態のAD変換器の構成を示す図である。
  - 【図3】 第1バイアス電圧生成回路の構成を示す図である。
- 【図4】 第1実施形態における第1変換部の動作の変化と制御部による制御の関係を示すタイムチャートである。
- 【図5】 第2実施形態における第1変換部の動作の変化と制御部による制御の関係を示すタイムチャートである。
- 【図6】 第3実施形態における第1バイアス電圧生成回路の構成を示す図である。

# 【符号の説明】

VDD 電源、 20 AD変換器、 70 第1バイアス電圧生成回路、72 第2バイアス電圧生成回路、 74 第3バイアス電圧生成回路、 76 第4バイアス電圧生成回路、 80 駆動部、 82 第1バイアス回路、84 第2バイアス回路、 86 第3バイアス回路、 88 制御部。



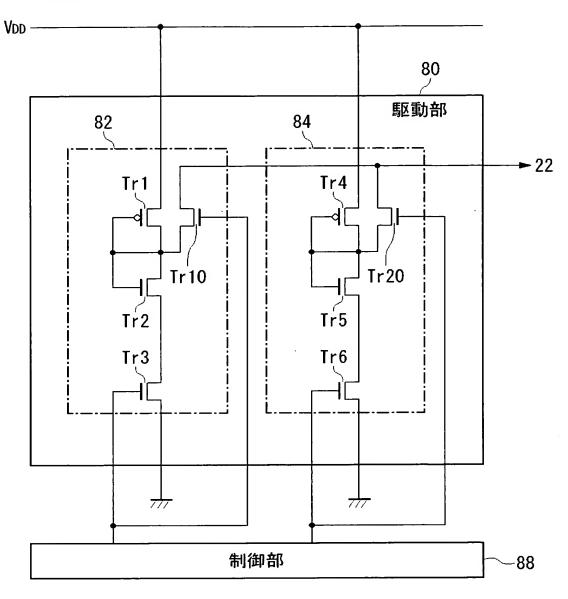




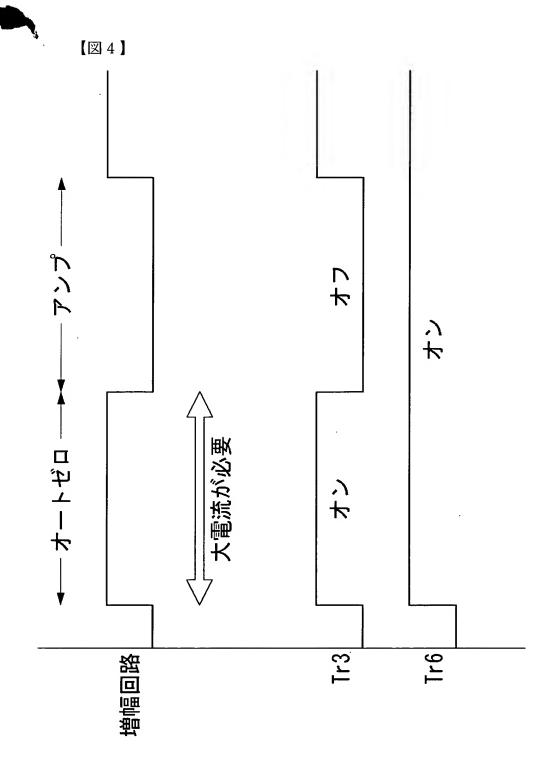
5

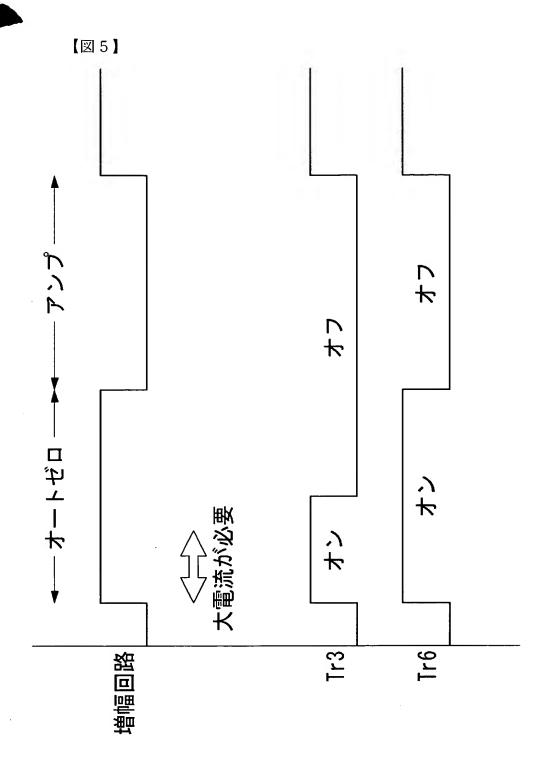


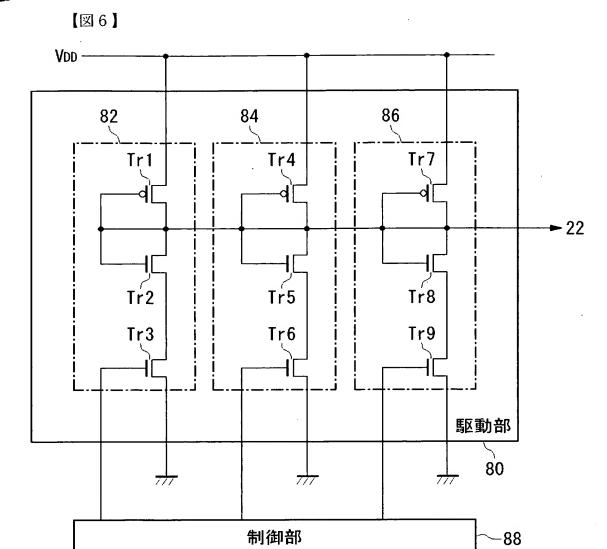




<u>70</u>







<u>70</u>

【書類名】

要約書

【要約】

【課題】 AD変換器において、回路面積の増大を伴わずに低電圧化を実現するのは困難であった。

【解決手段】 AD変換器の増幅回路にバイアス電圧を印加する第1バイアス電圧生成回路70は、駆動部80と制御部88を有する。駆動部80は、並列接続された電流駆動能力の異なる複数のバイアス回路として、第1バイアス回路82 および第2バイアス回路84を含む。第1バイアス回路82および第2バイアス回路84は、それぞれ電源電位VDDと接地電位VSSとの間で直接接続されたCMOSトランジスタと、貫通電流を遮断するためのスイッチング素子を含む。CMOSトランジスタのドレインからバイアス電圧が出力される。制御部88は、第1バイアス回路82および第2バイアス回路84の双方または一方をオンさせることにより、駆動部80全体の電流駆動能力を制御する。

【選択図】 図3

特願2003-086497

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社